

### Esercizio 1

Un sistema di elaborazione è dotato di una memoria centrale di 256 MB con un tempo d'accesso di 40 ns e di una memoria cache di 128 kB con tempo d'accesso di 10 ns. Si determini il valore minimo della *hit ratio* della cache necessario per avere un tempo d'accesso medio non superiore a 15 ns. Si discuta se, aumentando la dimensione della memoria cache, tale hit ratio tenderebbe ad aumentare o a diminuire.

[  $H \geq 84\%$ ; aumentare ]

Il tempo medio di accesso in memoria ( $T_A$ ) è legato alla hit ratio ed ai tempi di accesso in cache ( $T_C$ ) ed in memoria centrale ( $T_M$ ) dalla seguente formula:

$$T_A = H \cdot T_C + (1 - H) \cdot T_M$$

dalla quale, sostituendo i valori noti nel problema, si ottiene:

$$\begin{aligned} H \cdot 10 + (1 - H) \cdot 40 &\leq 15 \\ -30 \cdot H &\leq -25 \\ 30 \cdot H &\geq 25 \\ H &\geq 84\% \end{aligned}$$

La dimensione della memoria cache non compare nella formula utilizzata ma è noto che la hit ratio è crescente in funzione della dimensione della cache (anche se in modo non lineare e con un limite superiore).

### Esercizio 2

Un sistema di elaborazione è dotato di una memoria centrale di  $2^{30}$  celle di 16 bit ciascuna realizzata con chip aventi tempo d'accesso di 50 ns. Tale memoria viene usata da un  $\mu P$  la cui ALU può eseguire 20 milioni di operazioni al secondo. Stimando che mediamente occorre un accesso in memoria centrale ogni due operazioni, si valuti se è necessario prevedere una memoria cache.

[ è necessaria la memoria cache ]

Lo svolgimento di 20 milioni di operazioni al secondo richiede in media 10 milioni di accessi in memoria al secondo, ai quali bisogna sommare gli accessi necessari per il fetch dell'istruzione relativa a ciascuna operazione, ossia altri 20 milioni di accessi in memoria al secondo. In totale lo svolgimento delle operazioni richiede in media 30 milioni di accessi in memoria al secondo.

Avendo la memoria un tempo di accesso di 50 ns, essa è in grado di rispondere ad un numero di richieste pari a:

$$\frac{1}{50 \cdot 10^{-9}} = \frac{10^9}{50} = \frac{1000 \cdot 10^6}{50} = 20 \cdot 10^6 \text{ accessi/s}$$

E' quindi necessaria una cache perché la memoria centrale non riesce a fornire tempestivamente tutti i dati e le istruzioni necessarie per alimentare il  $\mu P$  alla massima velocità.

### Esercizio 3

Un utente vuole copiare sulla propria chiavetta USB 2.0 (capacità totale 2 GB, velocità di trasferimento 40 MB/s), 10 file di 100 MB ciascuno, provenienti dal proprio hard disk (capacità totale 300 GB, tempo di accesso 20 ms, velocità di trasferimento 60 MB/s, unità di allocazione da 4 kB). Si determini il tempo necessario ad effettuare la copia sapendo che i file in questione sono frammentati al 50%.

[ 2585.2 s ]

Il tempo di copia è la somma di due componenti: il tempo per il trasferimento dei dati ( $t_T$ ) ed il tempo per la ricerca dei dati o seek ( $t_s$ ).

Per il trasferimento si deve considerare la banda minima:

$$v_T = \min(40, 60) = 40 \text{ MB/s} \rightarrow t_T = \frac{10 \cdot 100 \text{ MB}}{40 \text{ MB/s}} = 25 \text{ s}$$

Il tempo di seek per un file è composto dal tempo necessario per posizionare la testina del disco all'inizio del file più il tempo necessario per posizionare la testina all'inizio di ciascun frammento (ossia unità di allocazione non contigua ad un'altra). Occorre quindi calcolare il numero di unità di allocazione di cui è composto ciascuno dei file da trasferire:

$$\begin{aligned} n. \text{ unità} &= \frac{\text{dimensione file}}{\text{dim. unità allocazione}} \\ &= 100 \text{ MB} / 4 \text{ kB} \\ &= 100 \cdot 1024 \text{ kB} / 4 \text{ kB} \\ &= 25 \cdot 1024 \text{ unità} \\ &= 25,600 \text{ unità} \end{aligned}$$

Essendo i file frammentati al 50%, il numero di frammenti è pari a metà delle unità di allocazione del file:

$$n. \text{ frammenti} = 25,600 / 2 = 12,800$$

Il tempo totale di seek per leggere un intero file è quindi:

$$t_s = 20 \text{ ms} + 12,800 \cdot 20 \text{ ms} = 256,020 \text{ ms} = 256.02 \text{ s}$$

Il tempo totale per effettuare la copia dei file è:

$$t = t_T + 10 \cdot t_s = 25 + 10 \cdot 256.02 = 2585.2 \text{ s}$$

#### Esercizio 4

Quanti byte occorrono per rappresentare in formato raster senza compressione un'immagine  $10 \times 5$  cm che verrà stampata da una stampante con una risoluzione di 1200 DPI e 256 livelli di grigio? (si assuma 1 inch = 2.5 cm)

[ 11,520,000 B ]

Calcoliamo innanzitutto il numero di pixel dell'immagine, dato dal prodotto righe per colonne. Il numero di righe e colonne si ottiene dalle dimensioni dell'immagine e dalla risoluzione, operando in uno dei seguenti modi:

- trasformando le dimensioni da centimetri a inch e quindi moltiplicando ciascuna dimensione per la risoluzione in DPI

$$\text{dim. orizzontale} : 10 \text{ cm} / 2.5 \text{ cm/inch} = 4 \text{ inch}$$

$$\text{dim. verticale} : 5 \text{ cm} / 2.5 \text{ cm/inch} = 2 \text{ inch}$$

$$\text{colonne} : 4 \text{ inch} \cdot 1200 \text{ DPI} = 4800$$

$$\text{righe} : 2 \text{ inch} \cdot 1200 \text{ DPI} = 2400$$

- trasformando la risoluzione da dot-per-inch a dot-per-cm e quindi moltiplicando per le dimensioni in centimetri

$$\text{risoluzione(cm)} : 1200 \text{ DPI} / 2.5 \text{ cm/inch} = 480 \text{ dot/cm}$$

$$\text{colonne} : 10 \text{ cm} \cdot 480 \text{ dot/cm} = 4800$$

$$\text{righe} : 5 \text{ cm} \cdot 480 \text{ dot/cm} = 2400$$

Il numero di pixel dell'immagine è:

$$4800 \cdot 2400 = 11,520,000 \text{ px}$$

Ogni pixel richiede un numero di bit sufficiente a memorizzare tutte le diverse sfumature di grigio:

$$\lceil \log_2 256 \rceil = 8 \text{ bit/px} = 1 \text{ B/px}$$

La memoria totale necessaria è quindi:

$$11,520,000 \text{ px} \cdot 1 \text{ B/px} = 11,520,000 \text{ B}$$

### Esercizio 5

Relativamente all'esecuzione di un'istruzione macchina, spiegare quali bus di sistema sono coinvolti nella fase di *fetch* e quali informazioni vi transitano durante tale fase.

Nella fase di *fetch* il contenuto della cella di memoria il cui indirizzo è contenuto nel *programm counter* deve essere trasferito nell'*instruction register*. Sono quindi coinvolti tutti i bus della CPU nel seguente modo:

1. UC dice a M di fornire la cella di memoria indicata da PC

$$PC \rightarrow ABUS ; \text{read} \rightarrow CBUS$$

2. M fornisce il contenuto della cella di memoria indicata

$$M[PC] \rightarrow DBUS \rightarrow IR$$